

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 1 4 日
Date of Application:

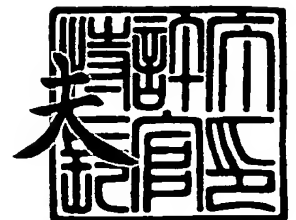
出 願 番 号 特 願 2 0 0 3 - 0 3 6 0 9 4
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 3 6 0 9 4]

出 願 人 ウ イン テ ス ト 株 式 会 社
Applicant(s):

2 0 0 4 年 1 月 6 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 WI-0000701

【提出日】 平成15年 2月14日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/13

【発明者】

【住所又は居所】 神奈川県横浜市中区曙町 2 丁目 1 9 - 1 ウインテスト
株式会社内

【氏名】 奈良 彰治

【発明者】

【住所又は居所】 神奈川県横浜市中区曙町 2 丁目 1 9 - 1 ウインテスト
株式会社内

【氏名】 伊藤 正敏

【発明者】

【住所又は居所】 神奈川県横浜市中区曙町 2 丁目 1 9 - 1 ウインテスト
株式会社内

【氏名】 大熊 誠

【特許出願人】

【識別番号】 500352258

【氏名又は名称】 ウインテスト株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0204439

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アクティブマトリクス基板の検査方法及び装置

【特許請求の範囲】

【請求項 1】 画素を選択するスイッチング素子と、前記スイッチング素子に接続された容量素子とをそれぞれ有する複数の画素駆動セルが、マトリクス状に配列されたアクティブマトリクス基板の検査方法において、

前記複数の画素駆動セルの各々の前記容量素子を順次充放電する工程と、
各回の充電工程にて前記各々の容量素子へ蓄積された電荷に基づく充電電流を、時間軸上にて異なる複数ポイントにて検出する工程と、
各回の放電後に前記各々の容量素子からの放電電流を検出する工程と、
前記複数ポイントでの前記充電電流と前記放電電流とに基づいて、前記複数の画素駆動セルの欠陥を判定する工程と、
を有することを特徴とするアクティブマトリクス基板の検査方法。

【請求項 2】 請求項 1 において、

前記充電電流の検出工程は、前記複数ポイントでの充電電流を加算する工程を含むことを特徴とするアクティブマトリクス基板の検査方法。

【請求項 3】 請求項 2 において、

前記充電電流の検出工程は、前記複数ポイント毎にアクティブとなる複数の第 1 のサンプリングパルスによって駆動される複数の第 1 のサンプルホールド回路を用いて実施されることを特徴とするアクティブマトリクス基板の検査方法。

【請求項 4】 請求項 3 において、

前記放電電流の検出工程は、放電後にアクティブとなる第 2 のサンプリングパルスによって駆動される第 2 のサンプルホールド回路を用いて実施され、

前記欠陥判定工程は、

前記複数の第 1 のサンプルホールド回路の共通出力線からの出力と、前記第 2 のサンプルホールド回路の出力とを比較回路にて比較する工程と、

前記第 2 のサンプリングパルスよりも遅れてアクティブとなる第 3 のサンプリングパルスによって駆動される第 3 のサンプルホールド回路により、前記比較回

路の出力をサンプリングする工程と、
を含むことを特徴とするアクティブマトリクス基板の検査方法。

【請求項 5】 請求項 1 乃至 4 のいずれかにおいて、
前記充放電工程は、一垂直走査期間内に実施されることを特徴とするアクティブマトリクス基板の検査方法。

【請求項 6】 請求項 1 において、
前記充放電工程は、複数回の垂直走査期間にて実施され、
前記充電電流の検出工程は、各回の垂直走査期間毎に、前記複数のポイント中の互いに異なる一つのポイントにて実施され、
前記放電電流の検出工程は、各回の垂直走査期間毎に、前記放電後に 1 回実施され、
前記欠陥判定工程は、各回の垂直走査期間毎に、前記充電電流と前記放電電流とを比較する工程を含むことを特徴とするアクティブマトリクス基板の検査方法。

【請求項 7】 請求項 6 において、
前記充電電流の検出工程は、各回の垂直走査期間毎に異なる第 1 のサンプリングクロックによって駆動される第 1 のサンプルホールド回路を用いて実施され、
前記充電電流の検出工程は、各回の垂直走査期間に共通の第 2 のサンプリングクロックによって駆動される第 2 のサンプルホールド回路を用いて実施され、
前記欠陥判定工程は、
各回の垂直走査期間毎に、前記第 1 のサンプルホールド回路の出力と、前記第 2 のサンプルホールド回路の出力とを比較回路にて比較する工程と、
各回の垂直走査期間毎に、前記第 2 のサンプリングパルスよりも遅れてアクティブとなる第 3 のサンプリングパルスによって駆動される第 3 のサンプルホールド回路により、前記比較回路の出力をサンプリングする工程と、
を含むことを特徴とするアクティブマトリクス基板の検査方法。

【請求項 8】 請求項 6 または 7 において、
前記欠陥判定工程は、各回の垂直走査期間にて得られた比較結果の平均値に基づいて実施されることを特徴とするアクティブマトリクス基板の検査方法。

【請求項 9】 請求項 6 または 7 において、

前記欠陥判定工程は、各回の垂直走査期間にて得られた比較結果の加算値に基づいて実施されることを特徴とするアクティブマトリクス基板の検査方法。

【請求項 10】 請求項 6 または 7 において、

前記欠陥判定工程は、各回の垂直走査期間にて得られた比較結果の中から選ばれた最大値に基づいて実施されることを特徴とするアクティブマトリクス基板の検査方法。

【請求項 11】 請求項 1 乃至 10 のいずれかにおいて、

前記複数の画素選択スイッチング素子は、製造工程においてオン抵抗のバラツキを有する薄膜トランジスタであることを特徴とするアクティブマトリクス基板の検査方法。

【請求項 12】 画素を選択するスイッチング素子と、前記スイッチング素子に接続された容量素子とをそれぞれ有する複数の画素駆動セルが、マトリクス状に配列されたアクティブマトリクス基板の検査装置において、

前記複数の画素駆動セルの各々の前記容量素子を順次充放電する充放電手段と

、
各回の充電により前記各々の容量素子に蓄積された電荷に基づく充電電流を、時間軸上にて異なる複数ポイントにて検出する第 1 の検出手段と、

各回の放電後に前記各々の容量素子からの放電電流を検出する第 2 の検出手段と、

前記複数ポイントでの前記充電電流と前記放電電流とに基づいて、前記複数の画素駆動セルの欠陥を判定する判定手段と、
を有することを特徴とするアクティブマトリクス基板の検査装置。

【請求項 13】 請求項 12 において、

前記第 1 の検出手段は、前記複数ポイント毎にアクティブとなる複数の第 1 のサンプリングパルスによって駆動される複数の第 1 のサンプルホールド回路を有し、

前記第 2 の検出手段は、放電後にアクティブとなる第 2 のサンプリングパルスによって駆動される第 2 のサンプルホールド回路を有し、

前記欠陥判定手段は、

前記複数の第 1 のサンプルホールド回路の共通出力線からの出力と、前記第 2 のサンプルホールド回路の出力とを比較する比較回路と、

前記第 2 のサンプリングパルスよりも遅れてアクティブとなる第 3 のサンプリングパルスによって駆動され、前記比較回路の出力をサンプリングする第 3 のサンプルホールド回路と、

を含むことを特徴とするアクティブマトリクス基板の検査装置。

【請求項 14】 請求項 12 において、

前記充放電手段は、複数回の垂直走査期間の各回にて、前記複数の画素駆動セルの各々の前記容量素子を順次充放電し、

前記第 1 の検出手段は、各回の垂直走査期間毎に異なる第 1 のサンプリングクロックによって駆動される第 1 のサンプルホールド回路を有し、

前記第 2 の検出手段は、各回の垂直走査期間に共通の第 2 のサンプリングクロックによって駆動される第 2 のサンプルホールド回路を有し、

前記欠陥判定手段は、

各回の垂直走査期間毎に、前記第 1 のサンプルホールド回路の出力と、前記第 2 のサンプルホールド回路の出力とを比較する比較回路と、

各回の垂直走査期間毎に、前記第 2 のサンプリングパルスよりも遅れてアクティブとなる第 3 のサンプリングパルスによって駆動され、前記比較回路の出力をサンプリングする第 3 のサンプルホールド回路と、

を含むことを特徴とするアクティブマトリクス基板の検査装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アクティブマトリクス基板の検査方法及び装置に関する。

【0002】

【従来技術】

例えばアクティブマトリクス型液晶表示装置の検査では、アクティブマトリクス基板とその対向基板間に液晶を充填した後に検査を行うものがある（例えば特

許文献1)。この場合、液晶表示装置の画素でも不良が生ずることで、装置全体が不良となってしまう。

【0003】

そこで、アクティブマトリクス基板の段階で検査する方法及び装置が提案されている。(特許文献2, 3)。これらは、アクティブマトリクス基板には、各画素に対応して画素選択スイッチング素子及び容量素子が設けられ、各容量素子に充電された電荷に基づく電流を検出することで、各画素の欠陥を判定するものである。

【0004】

しかし、特許文献2, 3では、各画素の容量素子の電荷に基づく検査電流の波形の特徴に大して検出タイミングが区々になると、本来良好な画素を不良と誤判定してしまうことがある。

【0005】

【特許文献1】

特開平5-288641号公報(図1～図5)

【特許文献2】

特許第3203864号公報(図1、図3、図4)

【特許文献3】

特許第3191073号公報(図4)

【0006】

【発明が解決しようとする課題】

本発明者等は、検査電流をサンプリングするサンプリングパルスを正確に発生させても、各画素に対応する画素選択スイッチング素子のオン抵抗のバラツキにより、その検査電流のピーク値を正確に測定できないことを突き止めた。

【0007】

本発明は、画素選択スイッチング素子のオン抵抗にバラツキがあったとしても、アクティブマトリクス基板上の画素駆動セルの欠陥を正確に判定することができるアクティブマトリクス基板の検査方法及び装置を提供することを目的とする。

【0008】

【課題を解決するための手段】

本発明の一態様に係る発明は、画素を選択するスイッチング素子と、前記スイッチング素子に接続された容量素子とをそれぞれ有する複数の画素駆動セルが、マトリクス状に配列されたアクティブマトリクス基板の検査方法において、前記複数の画素駆動セルの各々の前記容量素子を順次充放電する工程と、各回の充電工程にて前記各々の容量素子へ蓄積された電荷に基づく充電電流を、時間軸上にて異なる複数ポイントにて検出する工程と、各回の放電後に前記各々の容量素子からの放電電流を検出する工程と、前記複数ポイントでの前記充電電流と前記放電電流とに基づいて、前記複数の画素駆動セルの欠陥を判定する工程と、を有する。また、本発明では、この方法を実施する検査装置も定義されている。

【0009】

本発明方法及び装置において、容量素子に蓄積された電荷に基づく充電電流には、各画素駆動セルの容量素子から検出回路に至る負荷に蓄積された電荷に基づく電流が含まれている。そこで、その容量素子の放電後の放電電流を検出する。この放電電流は、各画素駆動セルの容量素子から検出回路に至る負荷に蓄積された電荷に基づく電流であるので、充電電流と放電電流との双方を考慮すれば、容量素子に蓄積された電荷に基づく純粋な充電電流を検出でき、欠陥判定精度が高まる。

【0010】

本発明の一態様ではさらに加えて、充電電流を時間軸上の複数ポイントにて検出している。充電電流は、画素選択スイッチング素子のオン抵抗のバラツキにより、各画素駆動セル毎に時定数が異なるため、充放電カーブが相違する。よって、一定のサンプリングパルスでサンプリングしても、充電電流の例えばピーク値は検出できないことがある。

【0011】

複数ポイントにて検出した充電電流を用いることで、1点で検出したものよりもオン抵抗のバラツキの悪影響は低減され、誤判定が少なくなる。

【0012】

なお、充電電流、放電電流の検出工程は、結果として充電電流、放電電流を検出するものであれば良く、例えば各電流を電流－電圧変換した後に検出するものであっても良い。

【0013】

ここで、前記充電電流の検出工程は、前記複数ポイントでの充電電流を加算する工程を含むことができる。この場合、前記充電電流の検出工程は、前記複数ポイント毎にアクティブとなる複数の第1のサンプリングパルスによって駆動される複数の第1のサンプルホールド回路を用いて実施されても良い。

【0014】

一方、前記放電電流の検出工程は、放電後にアクティブとなる第2のサンプリングパルスによって駆動される第2のサンプルホールド回路を用いて実施される。このとき、前記欠陥判定工程は、前記複数の第1のサンプルホールド回路の共通出力線からの出力と、前記第2のサンプルホールド回路の出力とを比較回路にて比較する工程と、前記第2のサンプリングパルスよりも遅れてアクティブとなる第3のサンプリングパルスによって駆動される第3のサンプルホールド回路により、前記比較回路の出力をサンプリングする工程とを含むことができる。

【0015】

上述した実施形態では、前記充放電工程を一垂直走査期間内に実施することができる。

【0016】

この他、前記充放電工程を、複数回の垂直走査期間にて実施しても良い。この場合、前記充電電流の検出工程は、各回の垂直走査期間毎に、前記複数のポイント中の互いに異なる一つのポイントにて実施され、前記放電電流の検出工程は、各回の垂直走査期間毎に、前記放電後に1回実施される。そして、前記欠陥判定工程は、各回の垂直走査期間毎に、前記充電電流と前記放電電流とを比較する工程を含むことになる。

【0017】

さらに詳しくは、前記充電電流の検出工程は、各回の垂直走査期間毎に異なる

第1のサンプリングクロックによって駆動される第1のサンプルホールド回路を用いて実施することができる。前記充電電流の検出工程は、各回の垂直走査期間に共通の第2のサンプリングクロックによって駆動される第2のサンプルホールド回路を用いて実施することができる。前記欠陥判定工程は、各回の垂直走査期間毎に、前記第1のサンプルホールド回路の出力と、前記第2のサンプルホールド回路の出力とを比較回路にて比較する工程と、各回の垂直走査期間毎に、前記第2のサンプリングパルスよりも遅れてアクティブとなる第3のサンプリングパルスによって駆動される第3のサンプルホールド回路により、前記比較回路の出力をサンプリングする工程とを含むことができる。

【0018】

前記欠陥判定工程としては、各回の垂直走査期間にて得られた比較結果の平均値または加算値に基づいて実施してもよいし、あるいは、各回の垂直走査期間にて得られた比較結果の中から選ばれた最大値に基づいて実施してもよい。

【0019】

また、本発明は、前記複数の画素選択スイッチング素子が製造工程においてオン抵抗のバラツキを有する薄膜トランジスタであるものにて、特に好適に実施できる。

【0020】

【発明の実施の形態】

<第1の実施の形態>

以下、本発明の第1の実施の形態について、図面を参照して説明する。

【0021】

(アクティブマトリクス基板)

先ず、検査対象として、例えば液晶表示装置に用いられるアクティブマトリクス基板について、図1に基づいて説明する。図1において、アクティブマトリクス基板例えばガラス基板10上には、水平走査回路20、垂直走査回路30及びアクティブマトリクス領域40が形成されている。

【0022】

アクティブマトリクス領域40には、水平方向に延びる複数の走査線42と、

垂直方向に延びる複数の信号線 44 が設けられている。複数の走査線 42 と複数の信号線 44 との交点付近に、複数の画素駆動セル 50 が設けられている。複数の画素駆動セル 50 の各々は、画素を選択するスイッチング素子である薄膜トランジスタ 52 と、それに接続された容量素子（保持容量） 54 とをそれぞれ有する。なお、図 1 では、複数の画素駆動セル 50 に接続される複数の画素電極は省略されている。

【0023】

薄膜トランジスタ（TFT） 52 は、ガラス基板上に低温プロセスまたは高温プロセスにて形成される多結晶シリコン層に、ソース領域、ドレイン領域及びその間のチャネル領域を有する。チャネル領域とゲート絶縁層を介して対向する位置にゲートが設けられる。この薄膜トランジスタ 52 のオン抵抗は、製造プロセスの要因により画素毎にバラツキを有する。

【0024】

複数の走査線 42 の各々は、各横一列の複数の薄膜トランジスタ 52 のゲートに共通接続され、ゲート線として機能する。複数の信号線 44 の各々は、各一列の複数の薄膜トランジスタ 52 の例えばソースに共通接続され、ソース線として機能する。

【0025】

垂直走査回路 30 は、図 2 に示すように、複数の走査線 42 の一本にアクティブ電位、残りの走査線 42 にノンアクティブ電位を供給する走査信号 G1, G2, G3, …を出力する。垂直走査回路 30 は、図 2 に示すように、アクティブ電位が供給される 1 本の走査線 42 を、一垂直走査期間（1V）内で順次切り換えて垂直走査する。複数の走査線 42 の一本にアクティブ電位が供給されると、その 1 本にゲートが供給接続された横一列の複数の薄膜トランジスタ 52 が同時にオン駆動される。

【0026】

複数の信号線 44 の一端には、複数の信号サンプリングスイッチ 22 が接続されている。この複数の信号サンプリングスイッチ 22 の各々は、図 2 に示すように、水平走査回路 20 からのタイミング信号 SS1, SS2, SS3, …により

一水平走査期間（1 H）内に順次オンされ、映像信号線 24 上の信号を点順次でサンプリングする。映像信号線 24 の一端には信号入力端子 26 が設けられている。

【0027】

複数の画素駆動セル 50 の各容量素子 54 は、例えばコモン線 56 に共通接続され、その一端に検査端子 58 が設けられている。

【0028】

（検査装置の説明）

検査装置 100 は、図 1 に示すように、信号入力端子 26 に接続される充放電回路 110 を有する。充放電回路 110 は、図 2 に示すように、水平走査回路 20 からのタイミング信号 SS1, SS2, SS3, …の各アクティブ期間と同期して充電電位 H と放電電位 L とを出力する。

【0029】

また、検査端子 58 には、検査回路 120 が接続される。この検査回路 120 は、電流－電圧（I－V）アンプ 122 と、第 1, 第 2 の検出回路 130, 140 と欠陥判定回路 150 とを有する。I－V アンプ 122 は必ずしも必要ではないが、本実施形態では電流－電圧変換後に各画素駆動セル 50 からの信号を検出している。なお、以下の説明では、第 1, 第 2 の検査回路 120, 130 の検出対象は実際には電圧であるが、その電圧の元となった検査電流（充電電流または放電電流）を検出するものとして説明する。

【0030】

検査端子 58 に接続される検査回路 120 のうち、I－V アンプ 122 以外の構成例を図 3 に示す。第 1 の検査回路 130 は、N 個の第 1 のサンプルホールド（S/H）回路 132-0～132-(N-1) を有する。第 1 の検査回路 130 は、サンプリングパルス SP1-0 が入力される入力端子 134 と、その入力端子 134 に共通接続された（N-1）個の遅延素子 136-1～136-(N-1) を有する。これら遅延素子 136-1～136-(N-1) の出力は、第 1 のサンプルホールド回路 132-1～132-(N-1) に接続されている。入力サンプリングパルス SP1-0 を（N-1）個の遅延素子 136-1～1

36-(N-1)にて遅延させた結果、サンプリングパルスSP1-1~SP1-(N-1)が発生され、そのサンプリングタイミングは図4に示す通りである。図4に示すように、サンプリングパルスSP1-0~SP1-(N-1)は等間隔で発生され、これらを第1のサンプリングパルスと称する。

【0031】

第2の検査回路140は、第2のサンプルホールド回路142と、第2のサンプリングパルスSP2の入力端子144とを有する。第2のサンプリングパルスSP2のサンプリングタイミングは図4に示す通りである。

【0032】

これら第1、第2のサンプルホールド回路132-0~132-(N-1)、142は、検査端子58に並列接続され、検査端子58からの検査電流を各種サンプリングタイミングでサンプルホールドする。

【0033】

欠陥判定回路150は、図3に示すように、比較器152と、第3のサンプリングパルスSP3の入力端子154と、比較器152の出力を第3のサンプリングパルスSP3によってサンプルホールドする第3のサンプルホールド回路156と、判定回路158とを含んでいる。第3のサンプリングパルスSP3は、図4に示すように、第2のサンプリングパルスSP2よりも遅いタイミングで発生されている。

【0034】

(充放電工程)

第1の実施の形態に係る検査装置100は、図2に示す一垂直走査期間(1V)内に、アクティブマトリクス基板10上の全ての画素駆動セル50について測定を行うものである。このために、一垂直走査期間内にて、アクティブマトリクス基板10上の全ての画素駆動セル50を一つずつ駆動して、その容量素子54を充放電する。

【0035】

まず、図2に示すように、垂直走査回路30からの走査信号G1を一水平走査期間(1H)に亘ってHIGH(アクティブ電位)とする。これにより、第1行

目の複数の薄膜トランジスタ 52 を全てオンさせる。

【0036】

一方、水平走査回路 20 からは、図 2 に示すように一水平走査期間（1H）内にて順次 HIGH となるタイミング信号 SS1, SS2, SS3, …が出力される。これにより、第 1 行目の複数の画素駆動セル 50 の各々の容量素子 54 に、充放電回路 110 からの電圧が、対応する薄膜トランジスタ 52 を介して印加される。

【0037】

ここで、充放電回路 110 からの電圧は、図 2 に示すように、各タイミング信号 SS1, SS2, SS3, …のアクティブ期間内に HIGH, LOW に変化する。よって、第 1 行目の複数の画素駆動セル 50 の各々の容量素子 50 は、位置水平走査期間（1H）内にて順次、電圧 HIGH の印加により充電され、電圧 LOW の印加により放電されることになる。

【0038】

以上の動作を、垂直走査回路 30 からの走査信号 G1, G2, G3, …により垂直方向に走査する度に繰り返すことで、一垂直走査期間（1V）内に、全ての画素駆動セル 50 の各々の容量素子 54 にて充放電が行われることになる。本実施形態は、充放電された各容量素子 54 の電荷に基づく電流を検査端子 58 を介して検出することで、各画素駆動セル 50 の欠陥を判定するものである。

【0039】

（欠陥判定上の改善すべき点）

ここで、各画素駆動セル 50 の欠陥判定に関して、下記の第 1 点～第 3 点に注意を払うべきである。第 1 点は、図 1 に示す検査端子 58 に流れる電流は、被検査対象の容量素子 54 と検出端子 58 との間の負荷（配線抵抗、配線容量）に依存して変化することである。図 5（A）（B）は、その一例を示し、負荷が大きいほど検出電流値は小さく、負荷が小さいほど検出電流値は大きくなる。

【0040】

よって、充電電流の絶対値は画素駆動セル 50 の位置に依存して異なるため、充電電流の最大値と放電電流の最小値との差を、各画素駆動セル 50 毎に検出し

て、誤判定を防止することが必要である。

【0041】

第2点は、検出端子58からの検出電流をサンプルホールドするためのサンプリングタイミングの重要性である。図6は、3種類の検出電流と3種類のサンプリングタイミングとの関係を示している。正規なサンプリングタイミングT1にてサンプリングできれば、3種類の検出電流の何れについても、そのピーク値を検出できるので問題は生じない。しかし、サンプリングタイミングT1からその前後(T0またはT2)にずれると、特に実線で示す検出電流(容量素子54の容量値が小さい場合)と、波線で示す検出電流(ピークが鋭利な場合)とでは、ピーク値よりもはるかに小さい値が検出され、誤判定の原因となる。

【0042】

第3点は、第2点に関連するが、薄膜トランジスタ52のオン抵抗のバラツキにより、各画素駆動セル50の容量素子54での充放電特性が必ずしも一致しないことである。結果として、図6にて指摘した誤判定が生ずる虞がある。例えば、図4の実線で示す充放電カーブのピークに対して、薄膜トランジスタ52のオン抵抗が大きい場合には、破線で示すように充放電カーブのピークはずれてしまう。よって、常時同一のサンプリングパルスでサンプルホールドすると、充電電流のピーク値を必ずしも検出できず、誤判定の要因となる。

【0043】

(充電電流の複数ポイントでのサンプリング)

そこで、第1の実施の形態では、第2、第3点の問題に対しては、図4に示すようにN個のサンプリングパルスSP1-0~SP1-(N-1)の各サンプリングタイミングにて、検査端子58からの検査電流のサンプルホールドを実施している。なお、この時の検査電流とは、容量素子54に充電された電荷に基づく充電電流である。この充電電流は、図5(B)に示すように容量素子54の位置に依存して波高が異なる波形の山部分の電流値である。

【0044】

より詳しくは、図3に示すN個の第1のサンプルホールド回路132-0~132-(N-1)は、検査端子58からの検査電流を、N個のサンプリングパル

ス $SP1-0 \sim SP1-(N-1)$ のそれぞれ異なる一つに基づいてサンプリングし、その時のサンプリング値をそれぞれホールドする。N個の第1のサンプルホールド回路 $132-0 \sim 132-(N-1)$ の出力線は結線された共通出力線であるため、この共通出力線からはホールド値の加算値が得られることになる。

【0045】

よって、図4の実線で示す検査電流であっても、破線で示す検査電流であっても、N個のサンプリングパルスでそれぞれサンプルホールドした値の加算値は、ほぼ同じ値となり、誤判定を防止できる。

【0046】

(放電電流のサンプリングと負荷の影響の除去)

次に、第1点の問題に対しては、図3に示す第2のサンプルホールド回路142は、図4に示す第2のサンプリングパルス $SP2$ に従って、検査端子58からの検査電流をサンプルホールドする。なお、この時の検査電流とは、容量素子54にて完全に放電された後の充電電流である。この放電電流は、図5(B)に示すように容量素子54の位置に依存して波高が異なる波形の谷部分の電流値である。

【0047】

複数の第1のサンプルホールド回路 $132-0 \sim 132-(N-1)$ の共通出力線からの出力と、第2のサンプルホールド回路142からの出力とは、比較器152にて比較される。この比較器152は例えば減算器にて構成することができる。

【0048】

比較器152にて2つの出力を比較する意味は、図5(B)において、容量素子54の位置に依存して波高が異なる検査電流の山部分と谷部分とを比較、例えばそれらの差分を求めることである。これにより、検査電流が、容量素子54の位置に依存して変化するという弊害(上述した第1点)を取り除くことができる。

【0049】

さらには、検査電流の山部分は、その一点をサンプリングするのではなく、N個

の第1のサンプルホールド回路132-0~132-(N-1)にてN点についてサンプリングされている。よって、本実施形態では、図7に示す比較例での問題は生じない。図7には、各一つのサンプリングパルスSP1, SP2によって、検査電流の山部分、谷部分をサンプリングした波形図が示されている。検査電流の山部分、谷部分は、薄膜トランジスタ52のオン抵抗によって、時間軸上でずれることがある。この場合、図7に示すように、サンプリングパルスSP1が検査電流の山部分のピークと必ずしも一致しない。よって、サンプリングされた検査電流の山部分と谷部分とを差分した結果は、図7の最下段に示すように正常画素であっても検査値が区々となり、誤判定の原因となる。

【0050】

比較器152の出力は、図4に示す第3のサンプリングパルスSP3に従って、第3のサンプルホールド回路156にてサンプルホールドされる。これにより、容量素子54の位置に依存して変化するという弊害を取り除かれた検査電流をサンプリングすることができる。

【0051】

判定回路158は、第3のサンプルホールド回路156より順次入力される各画素駆動セル50の検査値を、例えば基準値と比較することで、各画素駆動セル50の欠陥判定を実施する。

【0052】

(比較例)

特開平3-200121号公報は、画素トランジスタアレイのアナログ試験方法を開示している。この方法では、各画素駆動セルの容量素子の電荷に基づく電流を積分回路にて積分して得るというものである。しかし、積分期間の長さは、画素駆動セルの時定数の4倍も要し(該公報第7頁左上欄第5行目)、高速化に対応できない。しかも、そのような長い積分期間では検査電流の山部分及び谷部分の双方を積分することになる。しかし、本公報には、検査電流経路の負荷に応じて変化する放電電流の積分値分を差し引くことは開示されていない。また、本公報はアナログ試験方法を開示し、外部ノイズの影響により誤判定が生ずる虞もある。

【0053】**<第2の実施形態>**

本発明の第2の実施形態は、第1の実施形態にて用いた図3の検査回路120に代えて、図8に示す検査回路200を用いている。

【0054】

図8において、この検査回路200は、第1のサンプルホールド回路210と、第2のサンプルホールド回路220と、比較器230と、第3のサンプルホールド回路240と、判定回路250とを有している。

【0055】

検査回路200が検査回路120と比べて構成上で実質的に異なる点は、図3の検査回路120が、N個の第1のサンプルホールド回路132-0～132-(N-1)を有していたのに対して、図8の検査回路200は一つの第1のサンプルホールド回路210を有している点である。さらに、判定回路250には、記憶部252が設けられている。

【0056】**(充放電工程)**

第1の実施形態では、一垂直走査期間内に複数の画素駆動セル50の各容量素子54を充放電したのに対して、図8の検査回路200を用いる第2の実施形態では、図10に示すようにN回の垂直走査期間の各回（図10に示す第1フレーム～第Nフレーム）にて、複数の画素駆動セル50の各容量素子54を充放電している。各フレームでの充放電動作は、第1の実施形態での充放電動作と同じである。

【0057】**(検査電流のサンプリング工程)**

第1の実施形態でのサンプリングタイミングを示す図4に代えて、第2の実施形態では図9のサンプリングタイミングにて検査電流がサンプリングされる。ここで、図9では、N個の第1のサンプリングパルスSP1-0～SP1-(N-1)が、それぞれ異なるフレーム（第1フレーム～第Nフレームのいずれかのフレーム）で一パルスが生ずるように発生される。よって、第1の実施形態では各

画素駆動セル 50 からの検査電流についての各 N 回のサンプリングを 1 フレーム（一垂直走査期間）で実施していたのに対して、第 2 の実施形態では N フレームの各フレーム毎に 1 回ずつサンプリングされる。一方、第 2，第 3 のサンプリングパルス SP2，SP3 は、各フレームにて発生している。

【0058】

ここで、ある一つの画素駆動セル 50 からの検査電流のサンプリングについて説明する。第 1 フレームにて充電された容量素子 54 からの検査電流（充電電流）が、検査端子 58 を介して第 1 のサンプルホールド回路 210 に入力される。第 1 のサンプルホールド回路 210 は、図 9 に示すサンプリングパルス SP1-0 で充電電流をサンプリングし、その値をホールドする。

【0059】

次に、その画素駆動セル 50 が放電された後の検査電流（放電電流）が、検査端子 58 を介して第 2 のサンプルホールド回路 220 に入力される。第 2 のサンプルホールド回路 220 は、図 9 に示すサンプリングパルス SP2 で充電電流をサンプリングし、その値をホールドする。

【0060】

比較回路 230 は、第 1，第 2 のサンプルホールド回路 210，220 からの出力を比較し、例えば両者の差分を出力する。第 3 のサンプルホールド回路 240 は、比較回路 230 の出力を図 9 に示す第 3 のサンプリングパルス SP3 でサンプリングし、その値をホールドする。そのホールド値は、判定回路 250 の記憶部 252 に一旦ストアされる。

【0061】

第 2 フレームでは、第 1 のサンプルホールド回路 210 でのサンプリングタイミングが図 3 の第 1 のサンプリングパルス SP1-1 で決定され点を除いて、第 1 フレームと同様にしてサンプリング等が実施される。第 3～第 N フレームにおいても、第 1 のサンプルホールド回路 210 でのサンプリングタイミングが異なるだけで、第 1，第 2 フレームと同様にしてサンプリング等が実施される。

【0062】

こうして、判定回路 250 の記憶部 252 には、第 1～第 N フレームにてそれ

それぞれ収集された検査値が、図 1 のアクティブマトリクス領域の全画素駆動セル 50 についてストアされることになる。判定回路 250 では、記憶部 252 にストアされて情報に基づいて、各画素駆動セル 50 の欠陥判定を実施することになる。

【0063】

ここで、記憶部 252 にストアされた検査値とは、検査電流を、その山部分の 1 点（充電電流）と谷部分の 1 点（充電電流）とでサンプリングした 2 値の差分をとった値である。しかも、同一の画素駆動セル 50 について、検査電流の山部分のサンプリングタイミングを変えた N 個の検査値が収集されている。

【0064】

判定回路 250 は、同一の画素駆動セル 50 についての N 個の検査値の平均値を、基準値と比較して欠陥判定をすることができる。あるいは、判定回路 250 は、同一の画素駆動セル 50 についての N 個の検査値の中の最大値を、基準値と比較して欠陥判定してもよい。さらには、判定回路 250 は、同一の画素駆動セル 50 についての N 個の検査値の加算値を、基準値と比較して欠陥判定してもよい。

【0065】

以上、本発明の実施形態について説明したが、本発明は上述した実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0066】

例えば、第 1、第 2 の実施の形態において、水平走査回路 20 及び垂直走査回路 30 がアクティブマトリクス基板 10 上に存在しない場合には、外部ドライバあるいは検査装置 100、200 のいずれかに設けた水平走査回路 20 及び垂直走査回路 30 を用いることができる。

【0067】

また、第 1、第 2 の実施形態では、検査電流をコモン線 56 を介して検査回路 100、200 に入力させたが、その検査電流の検出ルートについてはこれに限定されない。アクティブマトリクス基板によってはコモン線が設けられていないものもある。この場合には、信号入力端子 26 にスイッチを介して択一的に接続

される充放電回路 110 と検査回路 120 とを設けることができる。これと同様な手法を用い、コモン線 56 が存在する場合に、検査端子 58 にスイッチを介して択一的に接続される充放電回路 110 と検査回路 120 とを設けてもよい。

【0068】

さらに、本発明は必ずしも液晶表示装置に用いられるアクティブマトリクス基板の検査に適用するものに限らず、各画素駆動セルが画素選択スイッチング素子とそれに接続された容量素子を有しているものであれば、他の用途に用いられるアクティブマトリクス基板の検査にも適用できる。

【図面の簡単な説明】

【図 1】

本発明の実施形態に係るアクティブマトリクス基板及び検査装置の概要を示す図である。

【図 2】

本発明の第 1 の実施形態での充放電工程を説明するためのタイミングチャートである。

【図 3】

本発明の第 1 の実施形態に係る検査回路のブロック図である。

【図 4】

図 3 に示す検査回路に用いられるサンプリングパルスと検査電流波形の関係を示す図である。

【図 5】

図 5 (A) は、検査端子から水平走査位置までの距離に依存した負荷の大きさを示す図であり、図 5 (B) は負荷の大きさによって異なる検査電流を示す図である。

【図 6】

各種の検査電流波形とサンプリングパルスとの関係を示す図である。

【図 7】

容量素子に充電された電荷に基づく検査電流を 1 点でサンプリングした時の弊害を説明するための比較例の波形図である。

【図 8】

本発明の第 2 の実施形態に用いられる検査回路のブロック図である。

【図 9】

本発明の第 1 の実施形態での充放電工程を説明するためのタイミングチャートである。

【図 10】

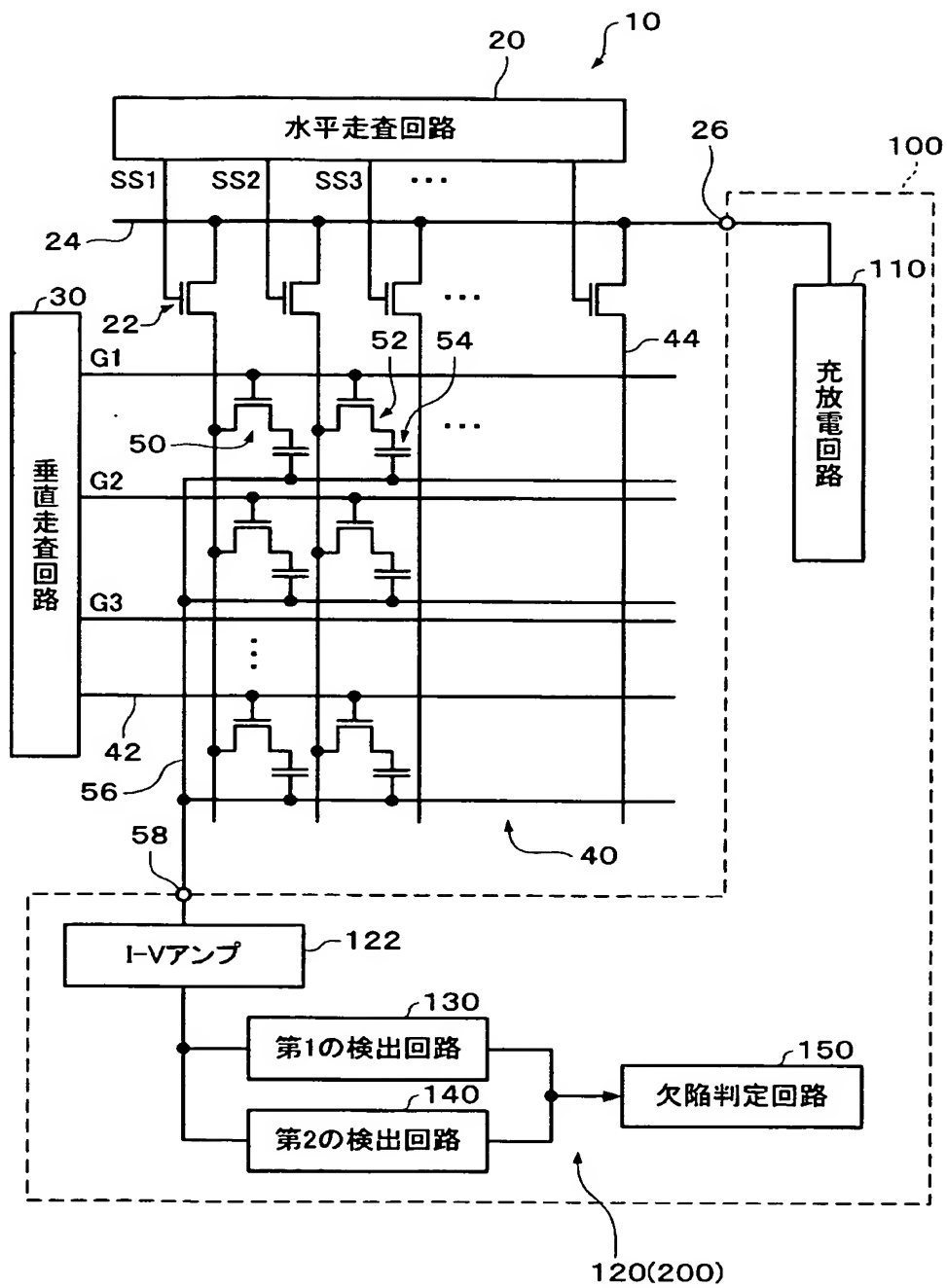
本発明の第 2 の実施形態での充放電工程を説明するためのタイミングチャートである。

【符号の説明】

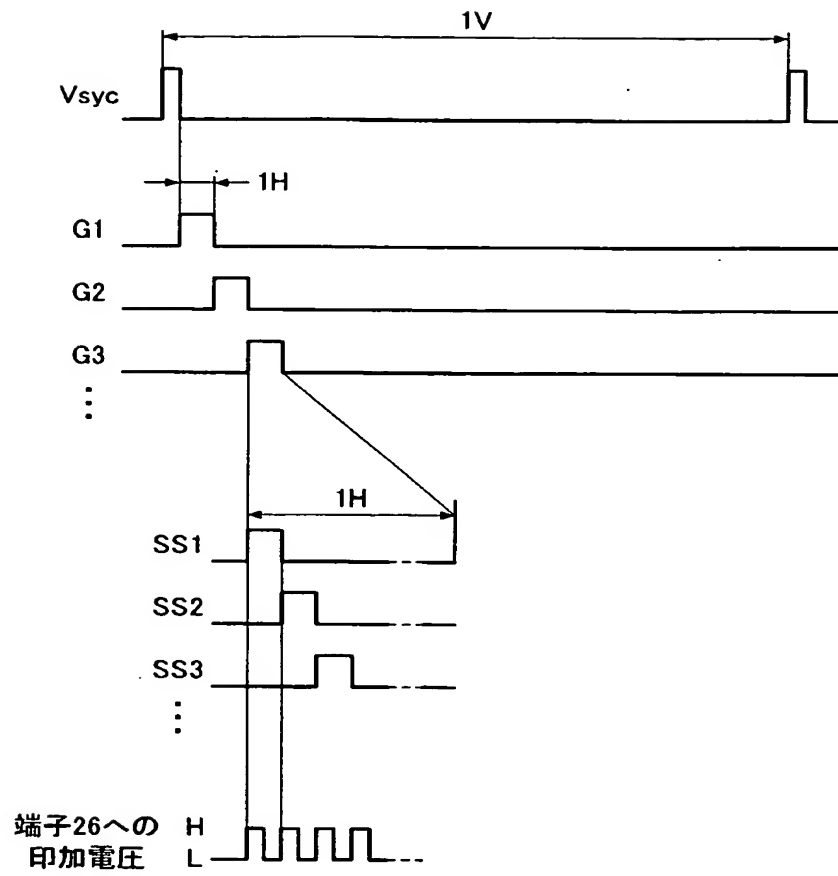
10 アクティブマトリクス基板、20 水平走査回路、30 垂直走査回路、40 アクティブマトリクス領域、42 走査線、44 信号線、50 画素駆動セル、52 薄膜トランジスタ、54 容量素子、56 コモン線、58 検査端子、100 検査装置、110 充放電回路、120 検査回路、130 第 1 の検出回路、132 N 個の第 1 のサンプルホールド回路、140 第 2 の検出回路、142 第 2 のサンプルホールド回路、150 欠陥判定回路、152 比較回路、156 第 3 のサンプルホールド回路、158 判定回路、200 検査回路、210 第 1 のサンプルホールド回路、220 第 2 のサンプルホールド回路、230 比較回路、240 第 3 のサンプルホールド回路、250 判定回路、252 記憶部、SP1 N 個の第 1 のサンプルホールドパルス、SP2 第 2 のサンプルホールドパルス、SP3 第 3 のサンプルホールドパルス

【書類名】 図面

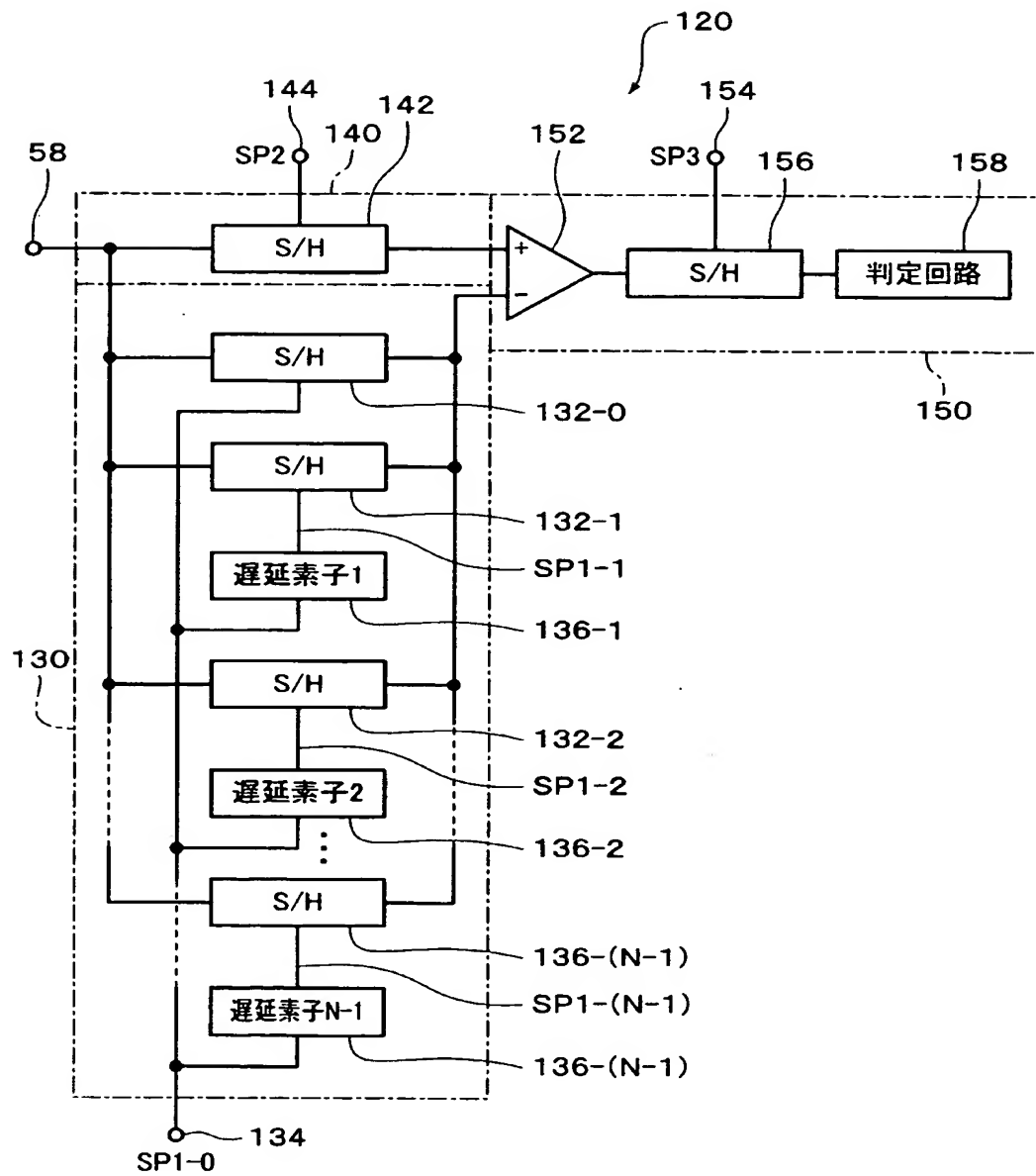
【図 1】



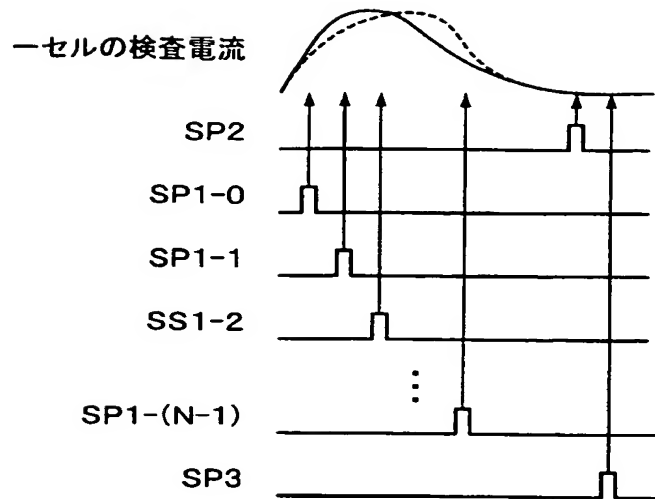
【図 2】



【図 3】

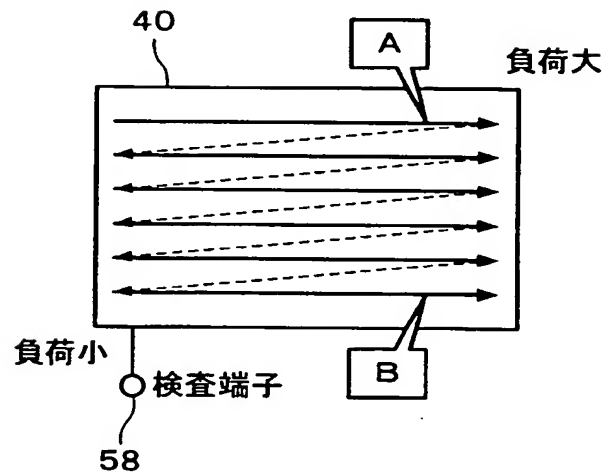


【図 4】

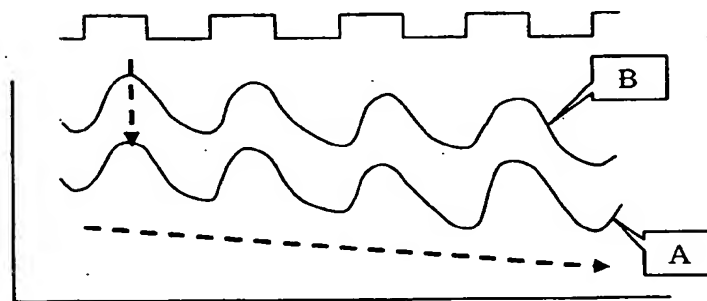


【図 5】

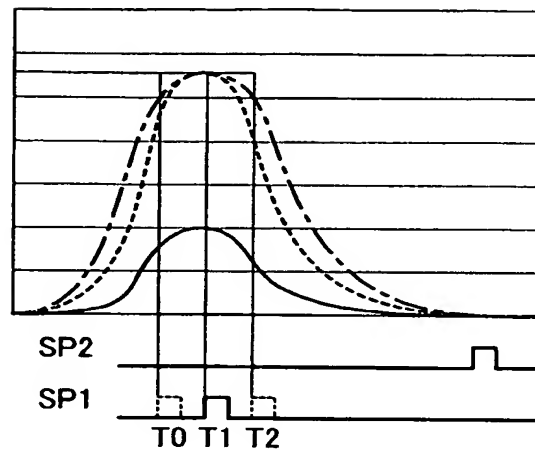
(A)



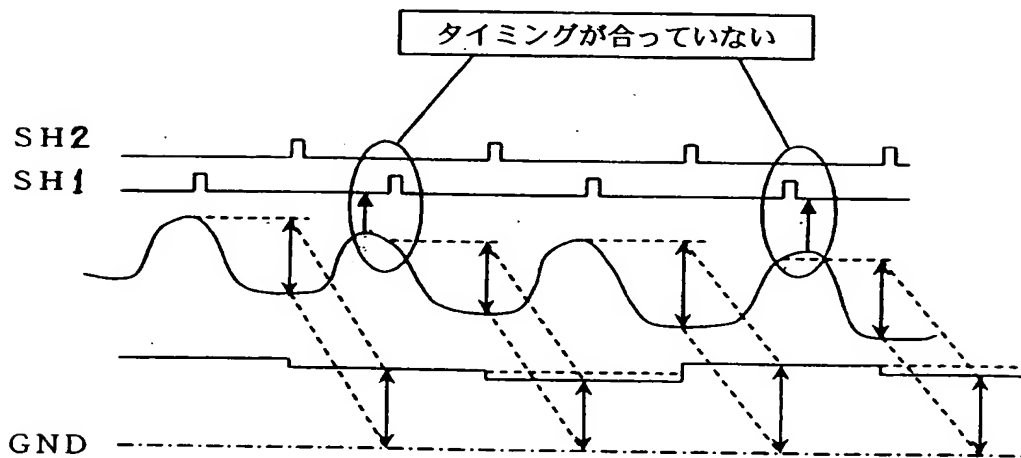
(B)



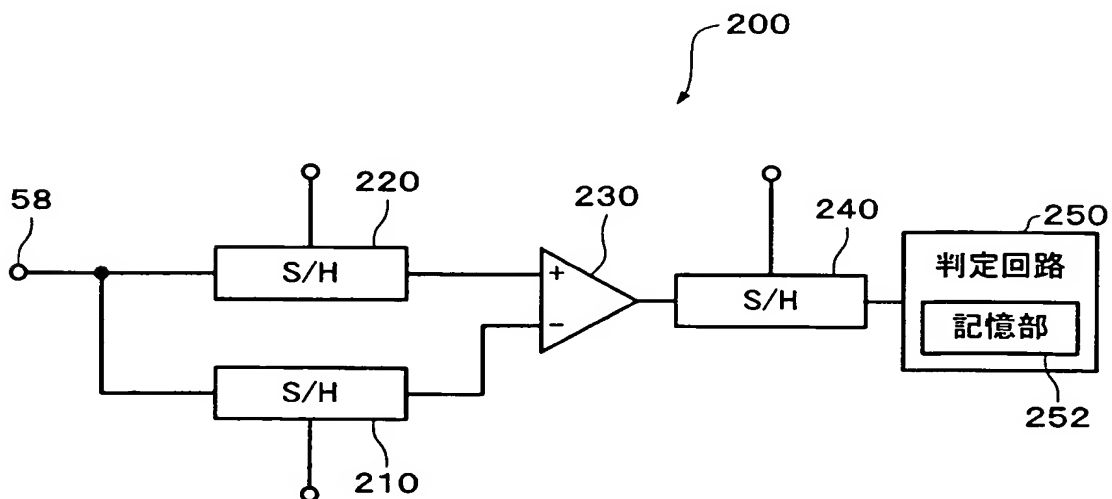
【図 6】



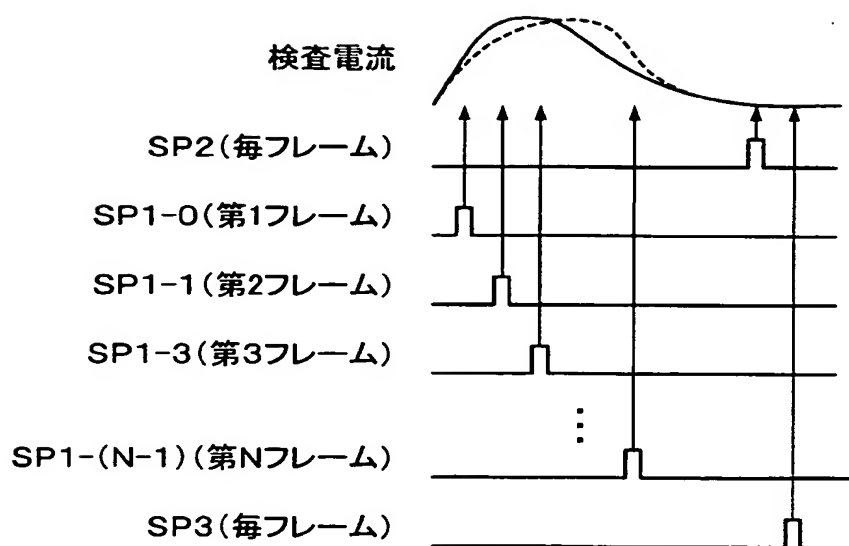
【図 7】



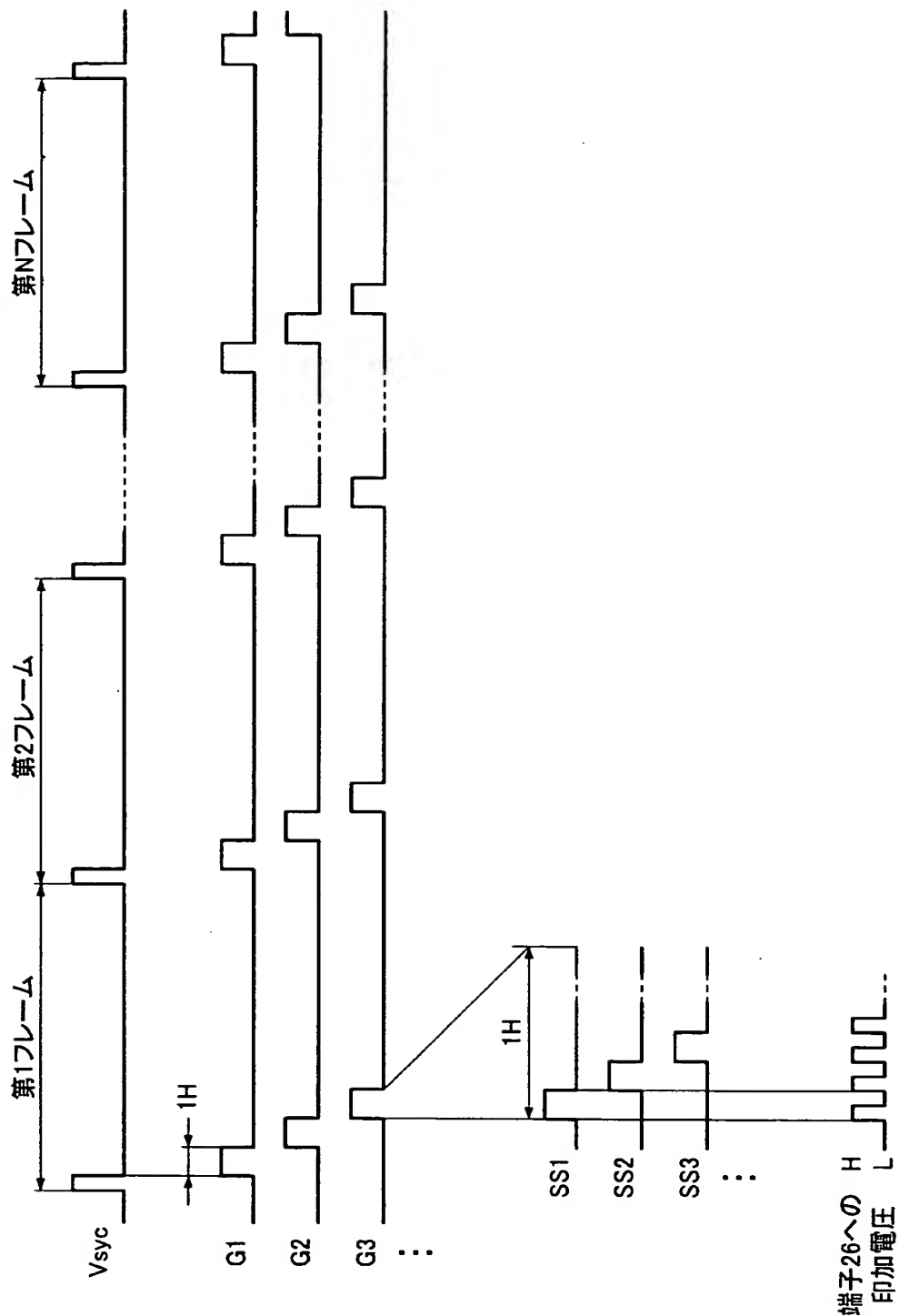
【図 8】



【図 9】



【図10】



【書類名】 要約書

【要約】

【課題】 画素選択スイッチング素子のオン抵抗にバラツキがあったとしても、アクティブマトリクス基板上の画素駆動セルの欠陥を正確に判定すること。

【解決手段】 アクティブマトリクス基板の複数の画素選択セル50には、薄膜トランジスタ52と容量素子54とが設けられる。各容量素子54を各薄膜トランジスタを介して充放電し、各容量素子54に蓄えられた電荷に基づく充電電流と、各容量素子54の放電後の放電電流とをサンプリングする。充電電流については、薄膜トランジスタ52のオン抵抗のバラツキを考慮して複数ポイントでサンプリングする。検査電流（充電電流または放電電流）が流れるパスの負荷は、画素駆動セルの位置依存性を有するため、放電電流に基づいて各画素駆動セル毎に充電－放電電流間の波高値を求め、それに基づいて各画素駆動セルの欠陥判定を行う。

【選択図】 図4

特願 2 0 0 3 - 0 3 6 0 9 4

出 願 人 履 歴 情 報

識別番号

[5 0 0 3 5 2 2 5 8]

1. 変更年月日

2 0 0 0 年 7 月 2 8 日

[変更理由]

新規登録

住 所

神奈川県横浜市中区曙町二丁目 1 9 番地 1

氏 名

ウインテスト株式会社